

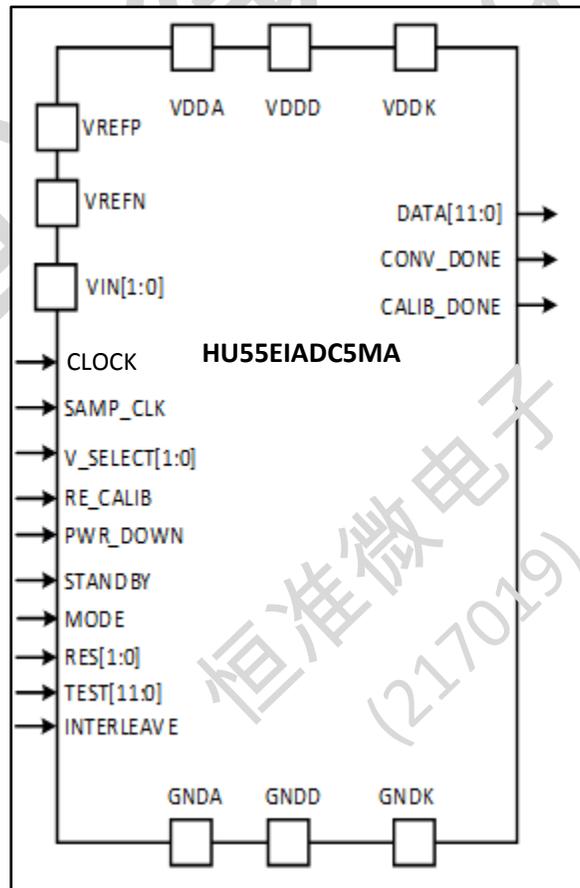
HU55EIADC5MA

低功耗, 宽电压范围, 2.5MSPS&5MSPS 模数转换器

特性

- ✓ 工艺: UMC 55nm EFLASH
- ✓ 模拟电源电压范围:2.0V~3.6V
- ✓ 数字逻辑电源电压 :1.08V~1.32V
- ✓ 温度范围 :-40 °C~125°C
- ✓ 转换精度 :6 位/8 位/10 位/12 位
- ✓ 最大转换速度 :2.5MSPS&5MSPS
- ✓ INL:±2LSB,DNL: -1<DNL<1.5LSB
- ✓ ENOB≥10.3 位
- ✓ 支持单端输入和双端输入
- ✓ 支持自校准功能
- ✓ 支持掉电和休眠模式
- ✓ 最高金属层: 6 层

框图



1 管脚描述

表 1-1 管脚

管脚名称	方向	电源域	描述
VDDA	I/O	VDDA	模拟电源 (2.0V~3.6V)
GND A	I/O	GND A	模拟地
VDDD	I/O	VDDD	数字电源一 (2.0V~3.6V)
GND D	I/O	GND D	数字地一
VDDK	I/O	VDDK	数字电源二 (1.08V~1.32V)
GND K	I/O	GND K	数字地一
VREFP	I/O	VDDA	基准电压正端 ($\leq VDDA$)
VREFN	I/O	VDDA	基准电压负端 (0V)
VIN<1:0>	I/O	VDDA	模拟输入信号
CLOCK	I	VDDK	主时钟
SAMP_CLK	I	VDDK	采样时钟
PWR_DOWN	I	VDDK	掉电模式控制 1: 进入掉电模式 0: 正常工作模式
STANDBY	I	VDDK	休眠模式 1: 进入休眠模式 0: 正常工作模式
DIFF_MODE	I	VDDK	双端输入选择 1: 双端输入模式 0: 单端输入模式
RES[1:0]	I	VDDK	转换精度选择 00: 12 位 01: 10 位 10: 8 位 11: 6 位
RE_CALIB	I	VDDK	重新校准控制信号 (参考图 3-2)
V_SELECT[1:0]	I	VDDK	模拟输入选择信号 00: 所有输入通道关断 01: VIN<0>作为 ADC 模拟输入 10: VIN<1>作为 ADC 模拟输入 11: 只有在双端输入时使用, 单端模式时禁止使用
INTERLEAVE	I	VDDK	时钟交叠模式 1: 时钟交叠使能 0: 时钟交叠禁止
TEST[11:0]	I	VDDK	功能测试管脚, 默认值 12'h000;
CALIB_DONE	O	VDDK	自校准完成标准位
CONV_DONE	O	VDDK	转换完成标志位
DATA[11: 0]	O	VDDK	ADC 输出数据

2 电学特性

表 2-1 工作条件

参数	参数描述	最小值	典型值	最大值	单位
VDDA	模拟电源	2.0	3.3	3.6	V
VDDD	数字电源一	2.0	3.3	3.6	V
VDDK	数字电源二	1.08	1.2	1.32	
VREFP	Positive Reference	≤VDDA			
VREFN	Negative Reference	GNDA			
Temp	Operating Temperature range	-40	25	125	°C

表 2-2 电学特性表

参数	参数描述	条件	最小值	典型值	最大值	单位
Res	转换精度		6	-	12	Bits
F _{MCLK}	主时钟频率		3.5	-	35	MHz
F _S	转换速率 F _{MCLK} = 35MHz	2.97V < VDDA ≤ 3.6V INTERLEAVE=1 RES[1:0]=00	-	-	5	MSPS
		2.97V < VDDA ≤ 3.6V INTERLEAVE=0 RES[1:0]=00	-	-	2.5	MSPS
		2.0V < VDDA ≤ 2.97V INTERLEAVE=0 RES[1:0]=00	-	-	1	MSPS
		2.97V < VDDA ≤ 3.6V INTERLEAVE=0 RES[1:0]=01	-	-	2.9	MSPS
		2.97V < VDDA ≤ 3.6V INTERLEAVE=0 RES[1:0]=10	-	-	3.6	MSPS
		2.97V < VDDA ≤ 3.6V INTERLEAVE=0 RES[1:0]=11	-	-	4.375	MSPS
DNL	差分非线性	VDDA=3.3V INTERLEAVE=0 RES[1:0]=00 Temperature=25°C INTERLEAVE=0 Fin ≤ 50KHz Rin ≤ 50Ω	-1	-	1.5	LSB
INL	积分非线性		-	±2	-	LSB
ENOB	有效位数		-	10.3	-	bits
I _{total}	总共电流		-	1	-	mA

Note1: Fin 是模拟输入信号频率

Note2: Rin 是模拟输入信号等效阻抗。

3 工作时序

3.1 上电掉电顺序

建议上电掉电顺序如下图 3-1 所示：

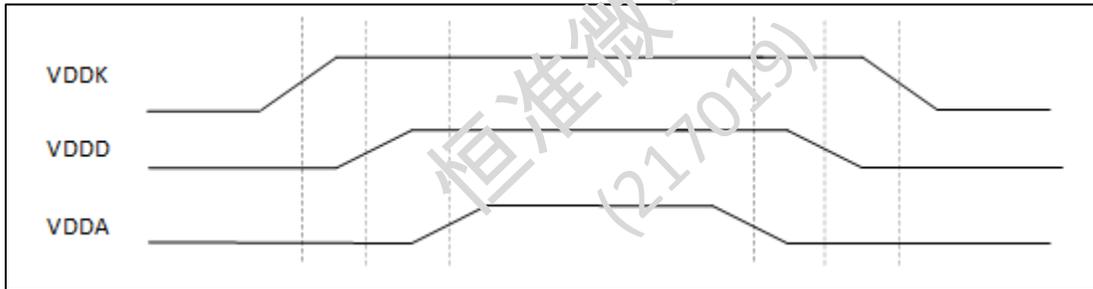


图 3-1 上电掉电顺序

3.2 工作时序

RU55EUADC5MA 在离开掉电模式后，会自动进入校准模式，或者在 RE_CALIB 的下降沿后，也会进入自校准模式。在完成自校准后，CALIB_DONE 输出为高，详细顺序图如图 3-2 所示：

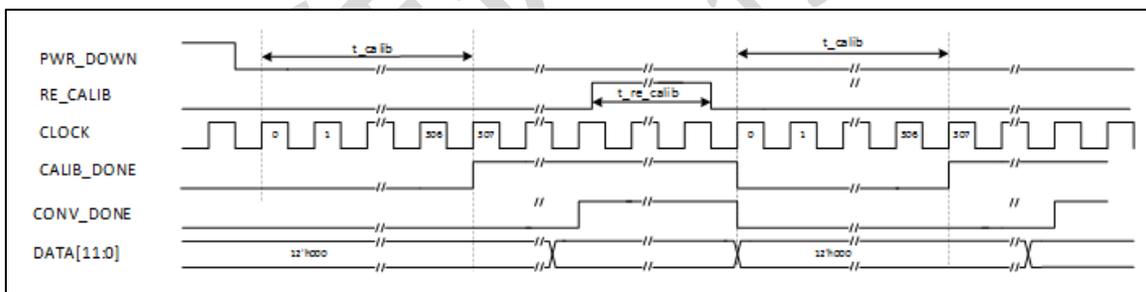


图 3-2 校准时序

表 3-1 校准时序表

参数	参数描述	最小值	典型值	最大值	单位
t_calib	校准时间	-	307	-	Tcycle
t_re_calib	RE_CALIB 信号脉宽	1	-	-	Tcycle

在完成自校准后，RU55E1ADC5MA 开始进入正常工作模式,其详细工作时序如图 3-3 所示:

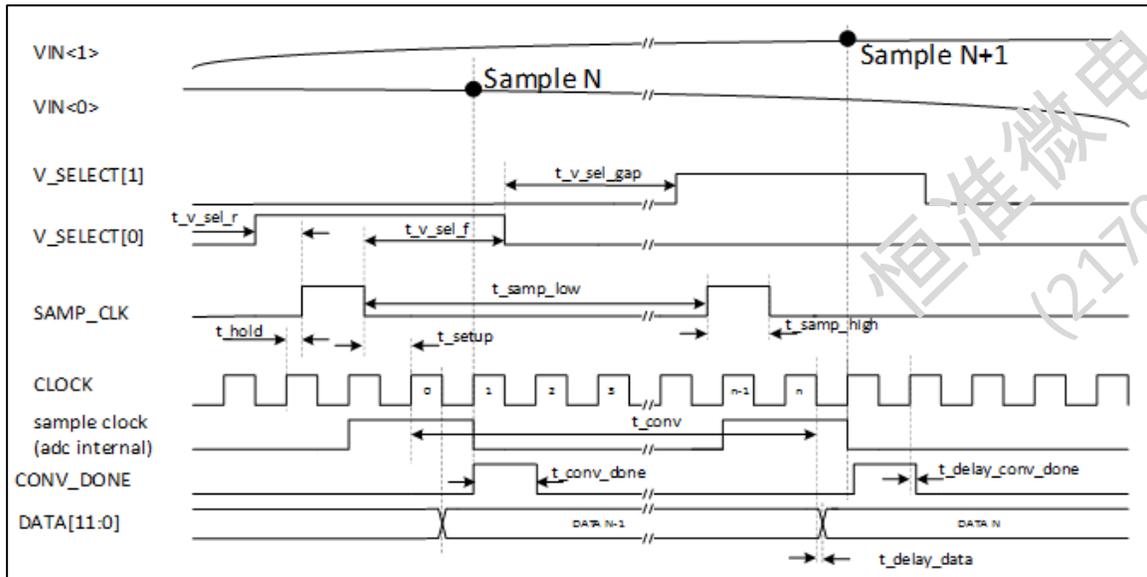


图 3-3 正常工作时序

表 3-2 正常工作时序

参数	参数描述	最小值	典型值	最大值	单位	
t_samp_high	SAMP_CLK 为高时间	1	-	-	Tcycle	
t_samp_low	INTERLEAVE=1	RES[1:0]=00	6	-	-	Tcycle
	INTERLEAVE=0	RES[1:0]=00	13	-	-	Tcycle
		RES[1:0]=01	11	-	-	Tcycle
		RES[1:0]=10	9	-	-	Tcycle
		RES[1:0]=11	7	-	-	Tcycle
t_setup	SAMP_CLK 建立时间	-	-	2	ns	
t_hold	SAMP_CLK 保持时间	-	-	1	ns	
t_v_sel_r	模拟通道选择信号提前 SAMP_CLK 时间	0.5	-	-	Tcycle	
t_v_sel_f	模拟通道选择信号延迟 SAMP_CLK 时间	2.5	-	-	Tcycle	
t_v_sel_gap	模拟通道选择信号之间缝隙	0.5	-	-	Tcycle	
t_conv_done	CONV_DONE 有效时间	-	1	-	Tcycle	
t_delay_conv_done	CONV_DONE 相对主时钟上升沿延迟	-	-	2	ns	
t_delay_data	DATA[11: 0]相对 CLOCK 下降沿延迟	-	-	2	ns	
t_conv	从 SAMP_CLK 下降沿后的第一个 CLOCK 的上升沿到转换完成输出 DATA[11: 0] 时间	RES[1:0]=00	-	14.5	-	Tcycle
		RES[1:0]=01	-	12.5	-	Tcycle
		RES[1:0]=10	-	10.5	-	Tcycle
		RES[1:0]=11	-	8.5	-	Tcycle