

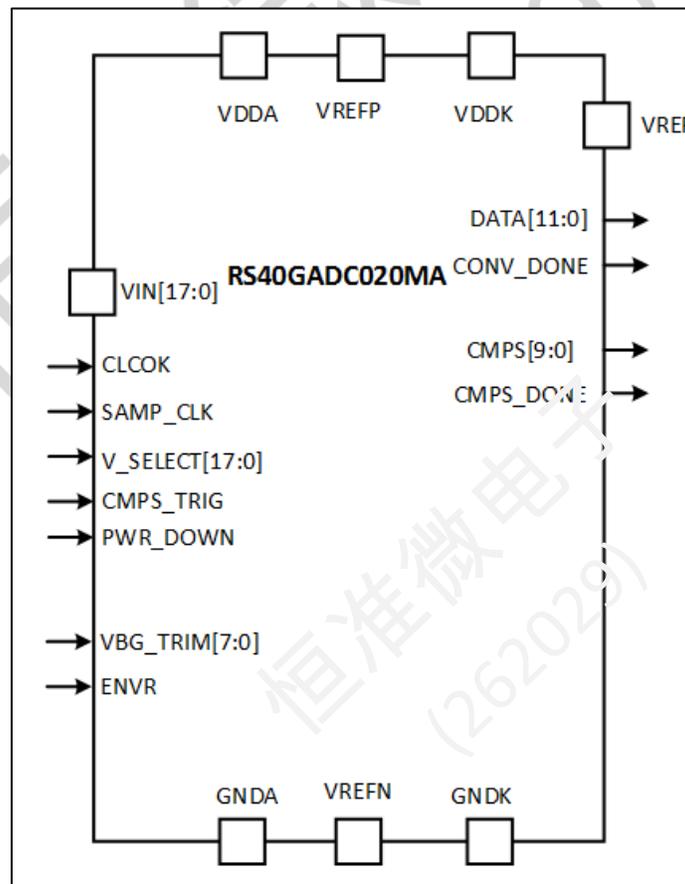
# RS40GADC020MA

低功耗，小面积，1.5MSPS模数转换器

## 特性

- ✓ 工艺: SMIC 40nm 工艺
- ✓ 模拟电源电压范围:2.97V~3.63V
- ✓ 数字逻辑电源电压 :0.99V~1.21V
- ✓ 温度范围 :-40 °C~125°C
- ✓ 转换精度 :12 位
- ✓ 最大转换速度 :1.5MSPS
- ✓ INL:±2.5LSB,DNL:-0.99LSB~+1.5LSB
- ✓ 内置基准电路同时支持外部基准电压输入
- ✓ 内置 ADC 自动补偿校准电路
- ✓ 支持单端输入和双端输入
- ✓ 支持掉电和休眠模式
- ✓ 最高金属层: 6 层

## 框图



## 1 管脚描述

表 1-1 管脚

管脚名称	方向	电源域	描述
VDDA	I/O	VDDA	模拟电源 (2.97V~3.6V)
GND A	I/O	GND A	模拟地
VDDK	I/O	VDDK	数字电源 (0.99V~1.21V)
GNDK	I/O	GNDK	数字地
VREFP	I/O	VREFP	基准电源正端 ( $\leq VDDA$ )
VREFN	I/O	VREFN	基准电源负端 (0V)
VREF	I/O	VDDA	内部基准输出
VIN<17:0>	I/O	VDDA	模拟输入信号
CLOCK	I	VDDK	主时钟
SAMP_CLK	I	VDDK	采样时钟
PWR_DOWN	I	VDDK	掉电模式控制 1: 进入掉电模式 0: 正常工作模式
ENVR		VDDK	内部基准电压选择 0: 使用外部基准 1: 使用外部基准
VBG_TRIM[7:0]		VDDK	内部基准电压校准信号
CMPS_TRIG	I	VDDK	校准触发信号 (下降沿有效)
V_SELECT[17:0]	I	VDDK	模拟输入选择信号 18'h00000: 所有输入通道关断 18'h00001: VIN<0>作为 ADC 模拟输入 18'h00002: VIN<1>作为 ADC 模拟输入 ... 18'h20000: VIN<17>作为 ADC 模拟输入 禁止任何 2 个通道同时导通
CMPS_DONE	O	VDDK	自校准完成标准位
CMPS[9:0]	O	VDDK	CMPS 输出数据
CONV_DONE	O	VDDK	转换完成标志位
DATA[11: 0]	O	VDDK	ADC 输出数据

## 2 电学特性

表 2-1 工作条件

参数	参数描述	最小值	典型值	最大值	单位
VDDA	模拟电源	2.97	3.3	3.63	V
VDDK	数字电源二	0.99	1.1	1.21	V
VREFP	Positive Reference	≤VDDA			
VREFN	Negative Reference	GNDA			
Temp	Operating Temperature range	-40	25	125	°C

表 2-2 电学特性表

参数	参数描述	条件	最小值	典型值	最大值	单位
Res	转换精度		-	12	-	Bits
Vin	模拟信号输入范围		0	1.8	2.5	V
VREFP	基准电压正电压	ENVR=1	-	2.5	-	V
VREFN	基准电压负电压		-	0	-	V
V <sub>ACCB</sub>	Voltage accuracy(before compensation)		-	±45	±95	mV
V <sub>ACCA</sub>	Voltage accuracy(After compensation)		-	±18	±45	mV
F <sub>s</sub>	转换速率	2.97V < VDDA ≤ 3.63	10	1000	1500	KSPS
DNL	差分非线性	VDDA=3.3V Temperature=25°C F <sub>in</sub> ≤ 50KHz R <sub>in</sub> ≤ 50 Ω	-0.99	-	1.5	LSB
INL	积分非线性		-2.5	-	2.5	LSB
I <sub>total</sub>	总共电流		-	1.6	2.5	mA
I <sub>pd</sub>	Power down 电流			10		uA

Note1: F<sub>in</sub> 是模拟输入信号频率

Note2: R<sub>in</sub> 是模拟输入信号等效阻抗.

### 3 工作时序

#### 3.1 上电掉电顺序

建议上电掉电顺序如下图 3-1 所示：

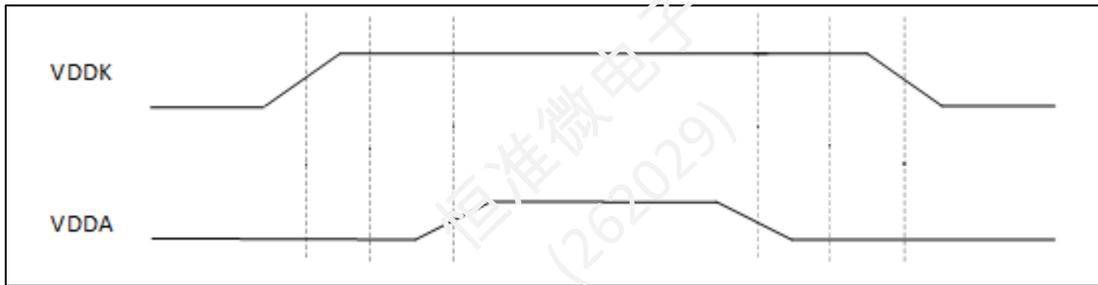


图 3-1 上电掉电顺序

#### 3.2 工作时序

RS40GADC020MA 在离开掉电模式后（PWR\_DOWN 变低）或进入内部基准电压模式后（ENVR 变高），需要一段等待时间  $t_{init}$ ，如图 3-2 所示。

在 CMPS\_TRIG 下降沿后，会进入自校准模式。在完成自校准后，CALIB\_DONE 输出为高，详细顺序如图 3-3 所示：

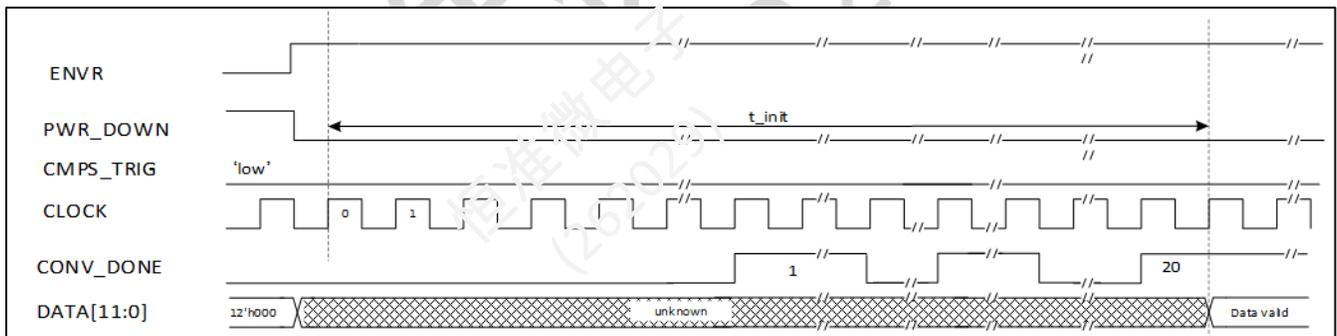


图 3-2 初始化时间

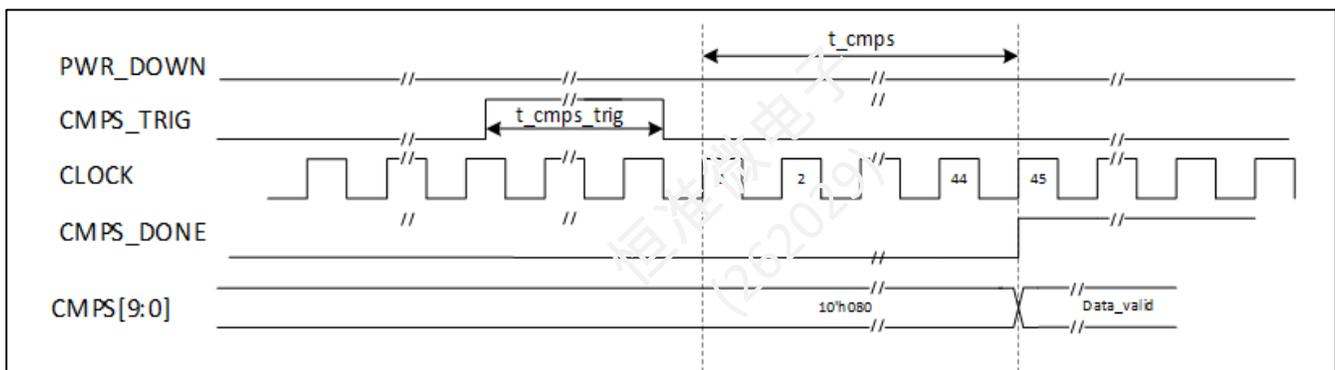


图 3-3 校准时间

表 3-1 初始化及校准时序表

参数	参数描述	最小值	典型值	最大值	单位
t_init	初始化时间 (从 PWR_DOWN 下降沿后第一个时钟上升沿到开始, 到第 20 个 CONV_DONE 上升沿)		20		转换周期
t_cmps	校准时间(从 CMPS_TRIG 下降沿后的第一个主时钟上升沿到 CMPS_DONE 上升沿)	-	44	-	Tcycle
t_cmps_trig	CMPS_TRIG 信号脉宽	1	-	-	Tcycle

在完成自校准后, RS40GADC020MA 开始进入正常工作模式,其详细工作时序如图 3-4 所示:

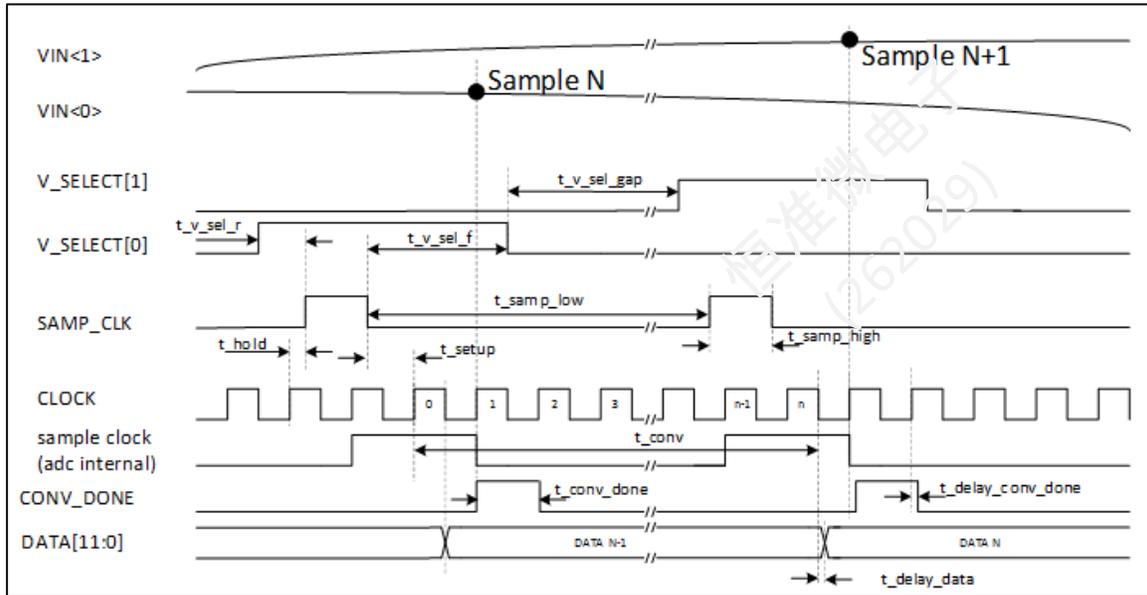


图 3-4 正常工作时序

表 3-2 正常工作时序

参数	参数描述	最小值	典型值	最大值	单位
t_samp_high	SAMP_CLK 为高时间	1	-	-	Tcycle
t_samp_low	SAMP_CLK 为低时间	14	-	-	Tcycle
t_setup	SAMP_CLK 建立时间	-	2	ns	t_setup
t_hold	SAMP_CLK 保持时间	-	1	ns	t_hold
t_v_sel_r	模拟通道选择信号提前 SAMP_CLK 时间	0.5	-	-	Tcycle
t_v_sel_f	模拟通道选择信号延迟 SAMP_CLK 时间	2.5	-	-	Tcycle
t_v_sel_gap	模拟通道选择信号之间缝隙	0.5	-	-	Tcycle
t_conv_done	CONV_DONE 有效时间	-	1	-	Tcycle
t_delay_conv_done	CONV_DONE 相对主时钟上升沿延迟	-	5	-	ns
t_delay_data	DATA[11: 0]相对 CLOCK 下降沿延迟	-	10	-	ns
t_conv	从 SAMP_CLK 下降沿后的第一个 CLOCK 的上升沿到转换完成输出 DATA[11:0] 时间	-	14.5	-	Tcycle

## 4 应用

### 4.1 物理位置要求

虽然本 IP 在内部已经使用相应的噪声隔离手段，为了能达到良好的性能，ADC 四周需留出 30um 距离的干净区域做隔离，ADC 上方不允许有走任何其他走线，同时尽量远离以下电路：

- 数字输入/输出焊盘或引脚
- 数字核心电路
- 时钟电路

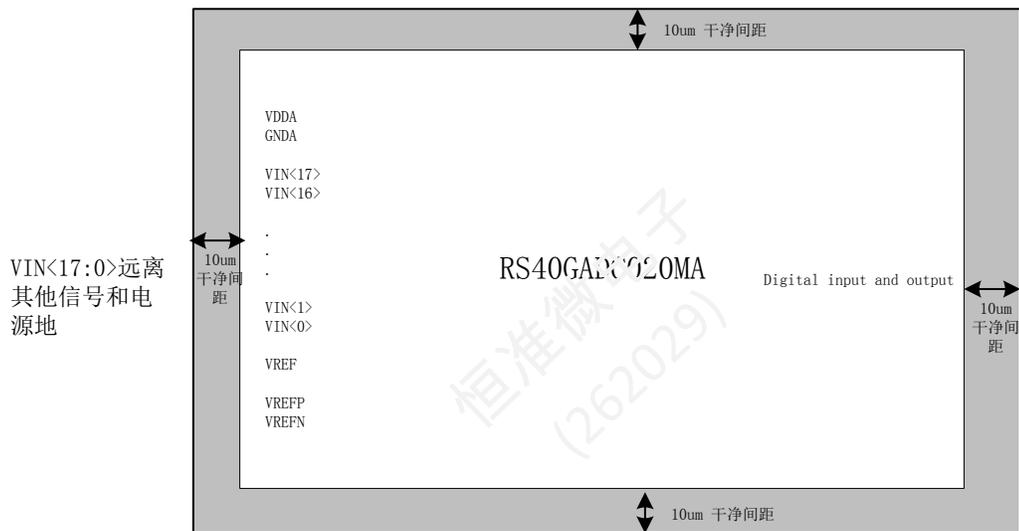


图 4-1 物理位置

注意: ADC 的数字输入输出信号都在右侧，建议系统整合时，在距离 ADC 的 30~50um 处放置 buffer 以确保其正常工作。

### 4.2 模拟信号和参考电压

对于 ADC 的模拟信号，需严格按照以下规则走线

- 所有模拟信号越短越好
- 使用干净的地屏蔽所有模拟信号，模拟输入信号使用参考电压（VREFN）屏蔽
- 尽量避免其他信号对模拟输入信号的交叉耦合
- 过孔越多越好

表 4-1 关键信号、电源和地寄生阻抗要求

引脚名称	线阻( $\Omega$ )	其他
VDDA	<3	远离数字信号、电源或地
GNDA	<3	远离数字信号、电源或地
VDDK	<10	NA
GNDK	<10	NA
VREFP	<1	远离数字信号、电源或地
VREFN	<1	远离数字信号、电源或地
VIN<17:0>	<5	屏蔽所有数字信号、电源或地

### 4.3 校准功能

ADC 内部自校准功能在 PWR\_DOWN 有高到低(或 RE\_CALIB 由低跳到高)后自动开启，为了校准功能正常工作，在整个校准过程中，INTERLEAVE 需要一直为高。

#### 4.3.1 内部校准电压校准

ADC 内部集成基准参考电源，默认电压是 2.5V，因工艺偏差，需测试校准，校准精度为-1mv/step Code 每增加 ‘1’，电压减小 1mv。(校准精度为设计值，为了校准更准确，建议采用多步校准)

表 4-2 内部基准电压校准

校准位	默认值	校准精度
VBG_TRIM[7:0]	0x80	-1mv/step

#### 4.3.2 ADC 补偿校准

ADC 内部自校准功能在 CMPS\_TRIG 有高到低(或 RE\_CALIB 由低跳到高)后自动开启，为了校准功能正常工作，校准后，如果 ADC 基准电压变化，需重新校准。

### 4.4 ESD 防护

RS40GADC202MA 连接到 PAD 的信号，已经在 IP 内部做二级防护，所有一级防护和电源地 clamp（图中蓝色线条）需要 IP 外部实现。如图 4-2 所示

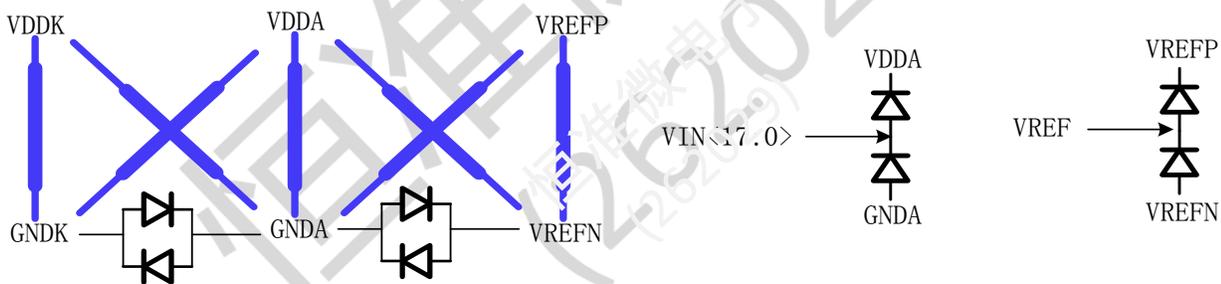


图 4-2 IP 外部需要的 ESD 电路

### 4.5 板级设计

在 PCB 上，VDDA/GNDK 和 VREFP/VREFN 可以共用一组供电源头，两组电源之间需要使用磁珠隔离。为了减少电源地之间的抖动，PCB 板上尽量多的使用去耦电容，至少有如下电容：供电端 22uf 电容，在 VDDA/GNDK 之间使用 10uF 和 0.1uF 电容，VREFP/VREFN 使用 10uF 和 0.1uF 电容，模拟输入信号 VIN<17:0>和 VREFN 之间使用 0.1uF 电容，为了达到更好的抑制噪声的效果，10uf 和 0.1uF 的电容尽量靠近芯片的引脚摆放。

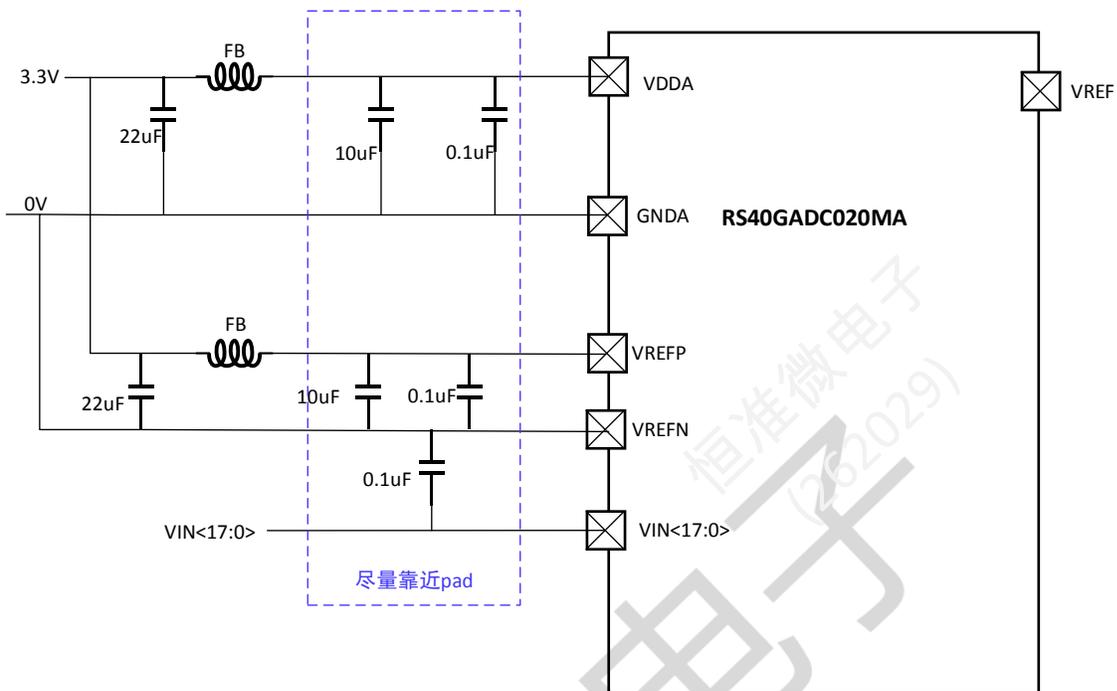


图 4-3 IP 外部需要的 ESD 电路

## 5 交付文件列表

IP View	Version	File name	Note
GDS	1.0.0	RS40GADC020MA.gds	Contains the actual gds itself.
CDL	1.0.0	RS40GADC020MA.cdl	Contains a netlist for LVS check.
LEF	1.0.0	RS40GADC020MA.lef	Contains a LEF file for integration.
Behavior model	1.0.0	RS40GADC020MA.v	Contains behavior model for simulation.
Lib/db file	1.0.0	RS40GADC020MA.*.lib/db	Contains lib/db files for integration.
Stub.v model	1.0.0	RS40GADC020MA_stub.v	Contains stub.v file for integration.
Doc	1.0.0	RS40GADC020MA_databook.pdf	Contains the user guide for this IP.